

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

LAMINATED SEMICONDUCTOR PACKAGE

Patent Number: JP2000349228
Publication date: 2000-12-15
Inventor(s): MORITA TOSHIAKI; KAJIWARA RYOICHI; KOIZUMI MASAHIRO; TAKAHASHI KAZUYA; NISHIMURA ASAO; MIYAZAKI CHUICHI; AKIYAMA YUKIJI; SHIMOISHI TOMOAKI
Applicant(s):: HITACHI LTD; HITACHI ULSI SYSTEMS CO LTD
Requested Patent: ☐ JP2000349228 (JP00349228)
Application Number: JP19990162016 19990609
Priority Number(s):
IPC Classification: H01L25/065 ; H01L25/07 ; H01L25/18
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a semiconductor package which is lessened in size and improved in density by a method wherein a board with wirings corresponding to the electrode pattern of another semiconductor element is mounted on the non-functional surface of a mounted semiconductor element, and all semiconductor chips are mounted in a flip chip mounting manner.

SOLUTION: A semiconductor chip 1 is mounted on a board 4, a semiconductor chip 2 is mounted on the semiconductor chip 1, and a semiconductor chip 3 is mounted on the semiconductor chip 2. The laminated semiconductor chips 1 to 3 are mounted on the board 4 through solder balls 5, 7, 11, and 15 on an electrode pad formed on the functional surface of the board 4. Bonding wires 10 and 14 are laid from electrodes on the wiring board 4 mounted on the non-functional surfaces of the semiconductor chips 1 to 3 to an electrode 6 on the board 4 mounted through the intermediary of a protrudent electrode formed on an electrode pad on the functional surfaces of the semiconductor chips 1 to 3. By this setup, semiconductor chips can be collectively mounted, and a laminated semiconductor package can be simplified in a manufacturing process.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349228

(P2000-349228A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl.⁷

識別記号

F I

メモート*(参考)

H 0 1 L 25/065

H 0 1 L 25/08

B

25/07

25/18

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号

特願平11-162016

(22) 出願日

平成11年6月9日 (1999. 6. 9)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 守田 俊章

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

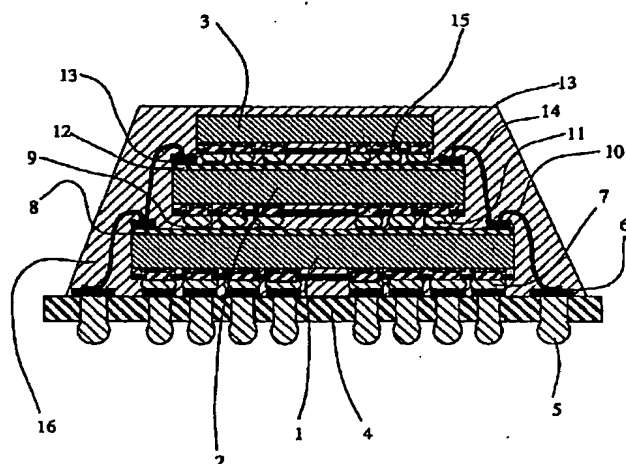
(54) 【発明の名称】 積層型半導体パッケージ

(57) 【要約】

【課題】 チップサイズのシステム IC パッケージとして展開可能な小型高密度半導体パッケージの提供。

【解決手段】 積層される第1の半導体チップが、第1の基板上に、第1の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、第2の基板が第1の半導体チップの電極パッドが形成していない側に装備され、第2の半導体チップが第2の基板上に、第2の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、第3の基板が第2の半導体チップの電極パッドが形成していない側に装備され、第3の半導体チップが第3の基板上に、第3の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、かつ第2の基板は第1の基板と電氣的に接続され、第3の基板は第2の基板と第1の基板に電氣的に接続されている。

図 1



【特許請求の範囲】

【請求項 1】複数の半導体チップが積層された半導体パッケージであって、積層される第 1 の半導体チップが、第 1 の基板上に、前記第 1 の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、第 2 の基板が前記第 1 の半導体チップの電極パッドが形成していない側に装備され、第 2 の半導体チップが前記第 2 の基板上に、前記第 2 の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、第 3 の基板が前記第 2 の半導体チップの電極パッドが形成していない側に装備され、第 3 の半導体チップが前記第 3 の基板上に、前記第 3 の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、かつ前記第 2 の基板は前記第 1 の基板と電氣的に接続され、前記第 3 の基板は、前記第 2 の基板と前記第 1 の基板に電氣的に接続されていることを特徴とする半導体パッケージ。

【請求項 2】複数の半導体チップが積層された半導体パッケージであって、積層される第 1 の半導体チップが、第 1 の基板上に、前記第 1 の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、第 2 の基板が前記第 1 の半導体チップの電極パッドが形成していない側に装備され、第 2 の半導体チップが前記第 2 の基板上に、前記第 2 の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、第 3 の基板が前記第 2 の半導体チップの電極パッドが形成していない側に装備され、第 3 の半導体チップが前記第 3 の基板上に、前記第 3 の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、前記第 2 の基板は前記第 1 の基板と電氣的に接続され、前記第 3 の基板は前記第 1 の基板に電氣的に接続されていることを特徴とした半導体パッケージ。

【請求項 3】前記積層型半導体パッケージにおいて、積層される半導体チップの、全ての大きさ、または一部の大きさが同一であることを特徴とした請求項 2 に記載の半導体パッケージ。

【請求項 4】複数の半導体チップが積層された半導体パッケージにおいて、積層される第 1 の半導体チップが論理系半導体チップであって、前記第 1 の論理系半導体チップが第 1 の基板上に、前記第 1 の論理系半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、第 2 の基板が前記第 1 の論理系半導体チップの電極パッドが形成していない側に装備され、第 2 の論理系半導体チップが前記第 2 の基板上に、前記第 2 の論理系半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、さらに第 3 のメモリ系半導体チップが前記第 2 の基板上に、前記第 3 のメモリ系半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介

して搭載され、かつ前記第 2 の基板は第 1 の基板と電氣的に接続されていることを特徴とした半導体パッケージ。

【請求項 5】複数の半導体チップが積層された半導体パッケージであって、隣接した、第 1 の半導体チップが第 1 の基板上に、前記第 1 の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、第 2 の基板が前記第 1 の半導体チップの電極パッドが形成していない側に装備され、第 2 の半導体チップが前記第 2 の基板上に、前記第 2 の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載された積層型半導体パッケージが、前記第 2 の基板間で電氣的に接続されており、かつ前記第 2 の基板は、前記第 1 の基板と電氣的に接続されていることを特徴とした半導体パッケージ。

【請求項 6】前記積層型半導体パッケージにおいて、積層される各半導体チップは、ウエハプロセス段階で半導体チップの機能面側に形成している電極パッド上に突起状金属を有し、かつ半導体チップの電極パッドが形成していない側に基板が装着されていることを特徴とする請求項 1 乃至 5 に記載の半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、積層型半導体パッケージに関する。

【0002】

【従来の技術】携帯電話、携帯音響機器を初めとした電子機器類は小型軽量化が要求される。またそれらの電子機器に用いられる半導体チップは、機能、容量等の増大に伴う高集積化のため、外部接続電極数が数百にもなっている。このように端子数の増大した半導体チップの実装方式として、現在、半導体パッケージの裏面にマトリックス状のソルダボールを搭載した外部接続端子を有する Ball Grid Array (BGA) パッケージや Chip Size Package (CSP) が普及しつつある。

【0003】ところで、半導体チップの搭載、実装技術としては、ワイヤボンディング方式、Tape Automated Bonding (TAB) 方式、フリップチップ方式などが広く用いられている。特にチップの機能面側に形成した電極パッド上にソルダボールを設け、このソルダボールを介して基板上に搭載するフリップチップ方式は、フェイスダウン実装方法と呼ばれ、一層の高密度実装や低コスト化が可能である。

【0004】図 15 は、従来の積層実装型パッケージの一つの構造を示したもので、特開平 11-3969 号公報に開示されたものである。これによれば、図 14 に示すように IC チップ 106 の電極が形成された面とマザー基板 110 に形成されている導体配線 109 とがバンプ 108 を介して接するように、IC チップ 106 が、マザー基板 110 にフリップチップ方式で実装されている。

【0005】また、抵抗チップ101、コンデンサチップ102、及びインダクタンスチップ103が、導体配線（図14には示していない）が形成されているキャリア基板104に実装されている。さらにキャリア基板104の上記チップが実装されていない面とICチップ106の電極が形成されていない面上に中間材105によって貼り付けられていて、マザー基板110に形成された導体配線109と金ワイヤ107によって電氣的に接続されている。

【0006】図16は、マイクロコンピュータチップ113の電極が形成された面と基板114に形成された導体配線109とがバンプ108を介して接するように、マイクロコンピュータチップ113が、基板114にフリップチップ方式で実装されている。メモリチップ112の電極が形成されていない面とマイクロコンピュータチップ113の電極が形成されていない面とが接するように、二つのメモリチップ112が、マイクロコンピュータチップ113上に中間材115で貼り付けられている。

【0007】

【発明が解決しようとする課題】しかし図15に示す従来例では、基板110へ半導体チップ106を搭載後、中間層105を介して配線基板4を半導体チップ6上に搭載するため、半導体チップと配線基板のマウント工程が2回必要になり、結果的に生産工程を長くすることによるコストアップを招いてしまう。また半導体チップ106と配線基板104は中間層105を介して有機接着剤を用いて接着されている。この接着剤を固化する際に発生する揮発成分が電極パッド111上に付着し、この付着物がボンディングワイヤ107と電極パッド111との接合性を阻害し、ボンディング不良によって生産歩留りを低下させる問題があった。

【0008】また、半導体チップ106に対して配線基板104のサイズが小さいと、ボンディングワイヤ107が長くなり、レジンモールドの際にワイヤが倒され、隣接ワイヤとショートする危険性がある。このためボンディングワイヤの剛性（この場合、長さ依存する）との兼ね合いから配線基板104の大きさは制限される。

【0009】さらに配線基板104上への搭載部品は抵抗、コンデンサ、インダクタンス等に限定されており、複数の論理系半導体チップやメモリ系半導体チップで構成されたシステムICパッケージには展開できない。

【0010】このため、半導体チップの基板への搭載は、有機系接着剤を使わず一括して行う必要がある。さらに積層する半導体チップのサイズ制限をできる限り無くす必要がある。

【0011】図16に示す従来例では、図15に示した従来例の場合と同様にボンディングワイヤ107が長くなる。また有機接着剤を用いて半導体チップ113と半導体チップ112を接着しているので電極パッド111

表面の汚染によるボンディング不良を引き起こす危険性がある。

【0012】さらに、半導体チップ113上に搭載された複数の半導体チップ112は、互いが電氣的に接続されている必要がある。半導体チップ112が独立半導体素子、つまり互いを電氣的に接続できない素子の場合、基板との接続にはワイヤの引き回しが究めて複雑かつ繁雑になり、現実的に実現は不可能である。

【0013】また本実施例は、その構造上、3段以上の積層はできない。

【0014】本発明は、以上のような問題を考慮してなされたものであり、チップサイズのシステムICパッケージとして展開可能な小型の積層型半導体パッケージを提供することにある。

【0015】

【課題を解決するための手段】本発明による積層型半導体パッケージは、複数の半導体チップが積層された半導体パッケージであって、積層される第1の半導体チップが、第1の基板上に、第1の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、第2の基板が第1の半導体チップの電極パッドが形成していない側に装備され、第2の半導体チップが第2の基板上に、第2の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、第3の基板が第2の半導体チップの電極パッドが形成していない側に装備され、第3の半導体チップが第3の基板上に、第3の半導体チップの機能面側に形成している電極パッド上に形成した突起状金属を介して搭載され、かつ第2の基板は第1の基板と電氣的に接続され、第3の基板は第2の基板と第1の基板に電氣的に接続されている。

【0016】本発明による積層型半導体パッケージは、各半導体チップを一括して積層実施でき、かつ配線長を短くすることができる。

【0017】

【発明の実施の形態】以下、本発明の実施例を用いて詳細に説明する。

【0018】図1は、本発明による積層型半導体パッケージの実施例の構成の一つを示す断面図であり、同一機能の半導体チップ、或いは別機能の半導体チップを3層に積層した例である。

【0019】図1において、1、2、及び3は半導体チップ、4は基板、5は溶ダボール、6は電極パターン、7は溶ダボール、8は配線基板、9は配線パターン、10はボンディングワイヤ、11は溶ダボール、12は配線基板、13は配線パターン、14はボンディングワイヤ、15は溶ダボール、16はレジンである。

【0020】半導体チップ1は、基板4上に搭載され、半導体チップ2は半導体チップ1上に搭載され、半導体

チップ3は半導体チップ2上に搭載されている。

【0021】ソルダボール5は基板4に形成し、電極パターン6は、基板4の半導体チップ1が搭載される面に形成した、半導体チップ1の外部電極接続パターンに対応し、かつ半導体チップ2への接続用の電極パターンである。

【0022】ソルダボール7は、半導体チップ1上に形成した基板4との接続用のもので、電極パターン6の半導体チップ1の外部電極接続パターンに対応した領域の電極と接続される。

【0023】配線基板8は、半導体チップ1のソルダボール7が形成していない側に設置される。配線パターン9は、配線基板8の半導体チップ2が搭載される面に形成した、半導体チップ2の外部電極接続パターンに対応し、かつ半導体チップ3への接続用、及び基板4への接続用の配線パターンである。

【0024】10は配線基板8上の配線パターン9から基板4上に形成した電極パターン6へ接続したボンディングワイヤで、半導体チップ2への電力供給線となる。

【0025】ソルダボール11は、半導体チップ2上に形成した配線基板8との接続用のもので、配線パターン9の半導体チップ2の外部電極接続パターンに対応した領域の電極と接続される。

【0026】配線基板12は、半導体チップ2のソルダボール11が形成していない側に設置される。配線パターン13は、配線基板12の半導体チップ3が搭載される面に形成した、半導体チップ3の外部電極接続パターンに対応し、かつ配線基板8への接続用の配線パターンである。

【0027】14は配線基板12上の配線パターン13から配線基板8上に形成した配線パターン9へ接続したボンディングワイヤで、半導体チップ3への電力供給線となる。

【0028】ソルダボール15は、半導体チップ3上に形成した配線基板12との接続用のもので、配線パターン13の、半導体チップ3の外部電極接続パターンに対応した領域の電極と接続される。

【0029】図2は、図1に搭載された半導体チップの構成を詳細に示す断面図であり、21は半導体チップ、22は保護膜、23は樹脂、24は電極パッド、25は金属バンプ、26はソルダボール、27は配線基板、28は配線パターン、29はボンディングワイヤであり、一般にフリップチップと呼ばれる構成のベアチップである。

【0030】図3は、図2に示した半導体チップの製造フローの一例を示したものである。まず、配線、電極形成工程の完了したウエハの機能面側、すなわち配線、電極パッド等が形成した側に保護膜を塗布する。保護膜はポリイミド系の材料で構成されることが多い。次に電極パッド上に金、銅等で構成された金属製のバンプを形

成させる。この上を樹脂で封止する。次にウエハの機能面と反対側の面に、配線パターンが形成した配線基板を有機系接着剤を用いて貼り付ける。この配線基板上の配線パターンは、前述した通り積層搭載する別チップの外部電極との接続パターンに対応している。次いで樹脂封止した機能側の面をポリッシュし、金属バンプを露出させる。この露出した金属バンプ面に外部電極との接続用の端子、つまりソルダボールを形成させる。この段階までをウエハプロセスで行い、その後、ダイシングにより個々のチップを切り出す。なお切り出したチップは、単体ではすでにパッケージングの完了した半導体チップであり、そのまま基板に搭載することで実装完了とすることもできる。

【0031】図4は、図3で切り出した半導体チップの断面と外観を示したものである。半導体チップの電極パッドが形成している機能側と反対側に配線基板が搭載されている。換言すると半導体チップ上の機能面上に、別半導体チップ対応の回路基板を搭載した構造である。

【0032】前記実施例の積層型半導体パッケージでは、積層実装する全ての半導体チップは機能面側に形成した電極パッド上に突起状接続端子、つまりソルダボールを設けた構造で、このソルダボールを介して目的の基板上に搭載される構造である。このため基板への搭載方法として、積層搭載する各半導体チップを所定の位置に配置後、1回のリフロー工程のみで各半導体チップを一括搭載することができる。

【0033】またボンディングワイヤは、半導体チップの非機能面上に搭載された配線基板の電極から、この半導体チップが機能面側の電極パッドに形成した突起状電極を介して搭載した基板上の電極にかけて配線される構造である。このため各ボンディングワイヤの長さは、半導体チップを何層に積層しても半導体チップサイズに無関係にほぼ同一、または一定である。従来の積層構造に見られた、上段に積層された半導体チップからのボンディングワイヤが長くなることはない。よってレジンを覆うときに、隣接するボンディングワイヤ間での短絡がない。またボンディング方法は、半導体チップ上に形成した電極との接続にはボールボンディング、基板上に形成した電極との接続にはウエッジボンディングとする順ボンディング法、または半導体チップ上に形成した電極との接続にはウエッジボンディング、基板上に形成した電極との接続にはボールボンディングとする逆ボンディング法のどちらで行ってもよく、方法に制限はない。

【0034】さらに前記実施例の積層型パッケージは、一つの半導体チップ上に複数個の半導体チップを搭載することができる。図5はその実施例を示したもので、一つの論理系半導体チップ上に、別機能の論理系半導体チップとメモリ系半導体チップを積層した例で、2段積層構造である。

【0035】図5において、31は基板、32はソルダ

ボール、33は電極パターン、34は論理系半導体チップ、35は溶ダボール、36は配線基板、37は配線パターン、38は論理系半導体チップ、39は溶ダボール、40はメモリ系半導体チップ、41は溶ダボール、42はボンディングワイヤである。なおレジンは図示していないが、基板31上に搭載された論理系半導体チップ34と38、メモリ系半導体チップ40、ボンディングワイヤ42を全て覆っている。

【0036】論理系半導体チップ34は、基板31上に搭載され、論理系半導体チップ38とメモリ系半導体チップ40は論理系半導体チップ34上に搭載されている。

【0037】溶ダボール32は基板31に形成し、電極パターン33は、基板31の論理系半導体チップ34が搭載される面に形成した、論理系半導体チップ34の外部電極接続パターンに対応し、かつ論理系半導体チップ38とメモリ系半導体チップ40への接続用の電極パターンである。

【0038】溶ダボール35は、論理系半導体チップ34上に形成した基板31との接続用のもので、電極パターン33の論理系半導体チップ34の外部電極接続パターンに対応した領域の電極と接続される。

【0039】配線基板36は、論理系半導体チップ34の溶ダボール35が形成していない側に設置される。配線パターン37は、配線基板36の論理系半導体チップ38とメモリ系半導体チップ40が搭載される面に形成した、論理系半導体チップ38とメモリ系半導体チップ40の外部電極接続パターンに対応している。

【0040】42は配線基板36上の配線パターン37から基板31上に形成した電極パターン33へ接続したボンディングワイヤで、論理系半導体チップ38とメモリ系半導体チップ40への電力供給線となる。

【0041】溶ダボール39は、論理系半導体チップ38上に形成した配線基板36との接続用のもので、配線パターン37の論理系半導体チップ38の外部電極接続パターンに対応した領域の電極と接続される。

【0042】溶ダボール41は、メモリ系半導体チップ40上に形成した配線基板36との接続用のもので、配線パターン37のメモリ系半導体チップ40の外部電極接続パターンに対応した領域の電極と接続される。

【0043】図6は、図5に示した積層半導体パッケージのうち、論理系半導体チップ34を基板4上に搭載する際の基板31上に形成した電極パッド33と、論理系半導体チップ34上に形成した電極パッド33との接続用溶ダボールの位置関係、及び論理系半導体チップ34上に設置された配線基板36の状態を詳細に示したものである。図示していないが、同様に論理系半導体チップ38とメモリ系半導体チップ40を、論理系半導体チップ34上の配線基板36上の所定の位置に配置させ、このままリフロー工程を経るだけで全チップを一括搭載

できる。

【0044】図5に示した実施例は、メインとなる一つのロジックIC上に、別のロジックIC、さらにメモリICを搭載した例で、チップサイズのシステムICパッケージとして展開できる。

【0045】図7は、システムICパッケージとして従来から用いられているマルチチップモジュールと呼ばれるパッケージと、本発明によって展開されるシステムICパッケージの、実装基板上に占めるパッケージの領域を模式的に比較したものであり、実装面積を小さくすることができる。

【0046】図8は、図1とは異なる実施例を示したものである。ボンディングワイヤ14は、配線基板12上の配線パターン13から基板4上に形成した電極パターン6へ接続しており、半導体チップ3への電力供給線となっている。チップから外部電極までの距離が長くなるが、対象となる半導体チップが、小容量のメモリ、処理能力の低い論理系チップ等の配線すべきボンディングワイヤが少なくすむチップである場合、このような構造であっても差し支えない。

【0047】図9は、半導体チップ上の機能面に形成した電極と、外部電極との配線に、板状の金属リードを用いた実施例を示す断面図である。

【0048】図9において、51、及び52は板状の金属製リードで、一般にビームリードと呼ばれる。

【0049】ビームリード51は配線基板8上の配線パターン9の一部であり、基板4上に形成した電極パターン6へ接続され、半導体チップ2への電力供給線となる。

【0050】ビームリード52は配線基板12上の配線パターン13の一部であり、配線基板8上に形成した配線パターン9へ接続され、半導体チップ3への電力供給線となる。

【0051】配線基板8と12は、図10に示す様にテープ（例えばポリイミド製）で作製できる。つまり、ビームリードを含む配線パターンが形成したテープの配線パターンが形成していない側に半導体チップを貼り付ける。溶ダボールは、半導体チップをテープに貼り付けた後に形成させても、或いは貼り付ける前に形成させてもよい。

【0052】また図9に示したビームリードを用いる構造では、図11に示す様に同一寸法の半導体チップを積層できる。

【0053】図11において、ビームリード52は、配線基板12上の配線パターン13の一部で、基板4上に形成した電極パターン6へ接続しており、半導体チップ3への電力供給線となっている。チップから外部電極までの距離が長くなるが、ビームリードはボンディングワイヤに比べて剛性があり、レジン封止時に隣接するリードと短絡するようなことはない。さらに図11に示した

実施例では、同一の半導体チップを多段に積層実装できるので、積層数だけ実装密度を向上させることができる。

【0054】図12は、別の実施例の構成の一つを示す断面図であり、同一機能の半導体チップ、或いは別機能の半導体チップを積層し、かつ隣接したこれと同様、または異なる構成の積層半導体チップとをボンディングワイヤで接続した例である。

【0055】図12において、61、62、63、及び64は半導体チップ、65は基板、66は溶ダボール、67は電極パターン、68、69、74、及び75は溶ダボール、70と71は配線基板、72と73は配線パターン、76と77はボンディングワイヤである。

【0056】半導体チップ61と半導体チップ63は、基板65上に搭載され、半導体チップ62は半導体チップ61上に搭載され、半導体チップ64は半導体チップ63上に搭載されている。

【0057】溶ダボール66は基板65に形成し、電極パターン67は、基板65の半導体チップ61と半導体チップ63が搭載される面に形成した、半導体チップ61と半導体チップ63の外部電極接続パターンに対応し、かつ半導体チップ62と半導体チップ64への接続用の電極パターンである。

【0058】溶ダボール68は、半導体チップ61上に形成した基板65との接続用のもので、電極パターン67の半導体チップ61の外部電極接続パターンに対応した領域の電極と接続される。溶ダボール69は、半導体チップ63上に形成した基板65との接続用のもので、電極パターン67の半導体チップ63の外部電極接続パターンに対応した領域の電極と接続される。

【0059】配線基板70は、半導体チップ61の溶ダボール68が形成していない側に設置される。配線パターン72は、配線基板70の半導体チップ62が搭載される面に形成した、半導体チップ62の外部電極接続パターンに対応し、基板65への接続用の配線パターンである。配線基板71は、半導体チップ63の溶ダボール69が形成していない側に設置される。配線パターン73は、配線基板71の半導体チップ64が搭載される面に形成した、半導体チップ64の外部電極接続パターンに対応し、基板65への接続用の配線パターンである。

【0060】溶ダボール74は、半導体チップ61上に形成した配線基板70との接続用のもので、配線パターン72の半導体チップ62の外部電極接続パターンに対応した領域の電極と接続される。溶ダボール75は、半導体チップ63上に形成した配線基板71との接続用のもので、配線パターン73の半導体チップ64の外部電極接続パターンに対応した領域の電極と接続される。

【0061】76は配線基板70上の配線パターン72から基板65上に形成した電極パターン67へ接続し、かつ配線基板71上の配線パターン73から基板65上に形成した電極パターン67へ接続したボンディングワイヤで、半導体チップ62と半導体チップ64への電力供給線となる。

【0062】ボンディングワイヤ77は、半導体チップ62と半導体チップ64を接続している。また基板65上の電極パターン67を半導体チップ61と半導体チップ63が接続できるようなパターンニングにすると、半導体チップ61、62、63、及び64が全て電氣的に接続され、立体的なchip to chip パッケージが実現できる。

【0063】図12の実施例は、図13に示すようにビームリードを用いてもよい。

【0064】これらの全ての実施例の積層型半導体パッケージの特徴は、全て半導体チップの機能面上に、別の半導体チップ搭載のための回路基板を設けたことによって、達成されるものである。

【0065】なお図4に関連して、図14に示すように半導体チップの非機能面側に搭載される配線基板と半導体チップの非機能面側との間に応力緩衝層を設けてもよい。本発明による積層型半導体パッケージでは、その積層数を4段以上にすることも可能である。

【0066】

【発明の効果】本発明によれば、搭載する半導体素子の非機能面に、この半導体素子上に搭載する別の半導体素子の電極パターンに対応した配線を有する基板を装備し、かつ搭載する全ての半導体チップをフリップチップ方式で実装したことにより、一括実装することができる。このため製造工程を簡潔にできる。

【0067】本発明によれば、第2の基板は第1の基板と電氣的に接続し、第3の基板は第2の基板と第1の基板に電氣的に接続する構造としたため、ボンディングワイヤ長が短くてすむ。また複雑ではない。このため製造歩留りを向上させることができる。

【0068】本発明によれば、積層する半導体チップサイズに制限がなく、また同一サイズの半導体チップでもパッケージングできるので、飛躍的な実装密度向上が図れる。そして、チップサイズのシステムICパッケージとして展開することができる。

【図面の簡単な説明】

【図1】本発明による積層型半導体パッケージの実施例の構成の一つを示す断面図であり、同一機能の半導体チップ、或いは別機能の半導体チップを3層に積層した例である。

【図2】図1に搭載された半導体チップの構成を詳細に示す断面図である。

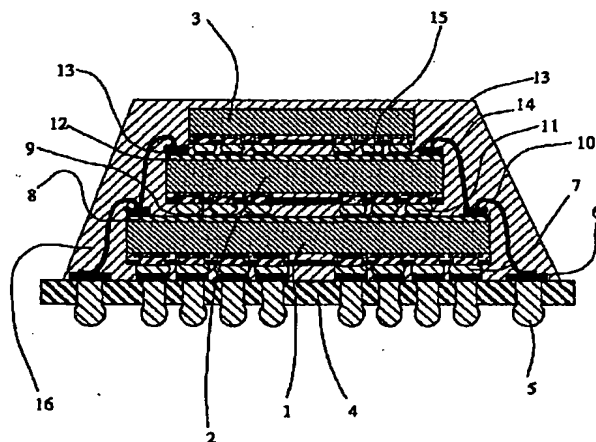
【図3】図2に示した半導体チップの製造フローの一例を示したものである。

【図13】 図12に示した実施例のビームリードを用い

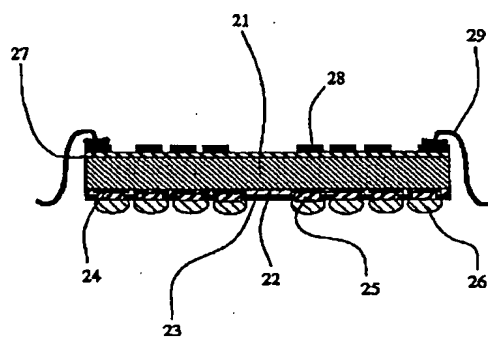
【符号の説明】

1, 2, 3, 21, 61, 62, 63, 64…半導体チップ、4, 31, 65, 114…基板、5, 7, 11, 15, 26, 32, 35, 39, 41, 66, 68, 69, 74, 75…ソルダボール、6, 33, 67…電極パターン、8, 12, 27, 36, 70, 71…配線基板、9, 13, 28, 37, 72, 73…配線パターン、10, 14, 29, 42, 76, 77…ボンディングワイヤ、22…保護膜、23…樹脂、24…電極パッド、25…金属バンブ、34, 38…論理系半導体チップ、40…メモリ系半導体チップ、51, 52…ビームリード、101…抵抗チップ、102…コンデンサチップ、103…インダクタンスチップ、104…キャリア基板、105…中間材、106…ICチップ、107…金ワイヤ、108…バンブ、109…導体配線、110…マザー基板、111…パッド、112…メモリチップ、113…マイクロコンピュータチップ。

图 1

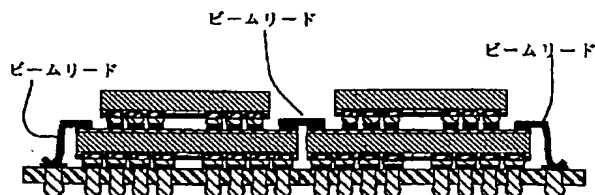


2



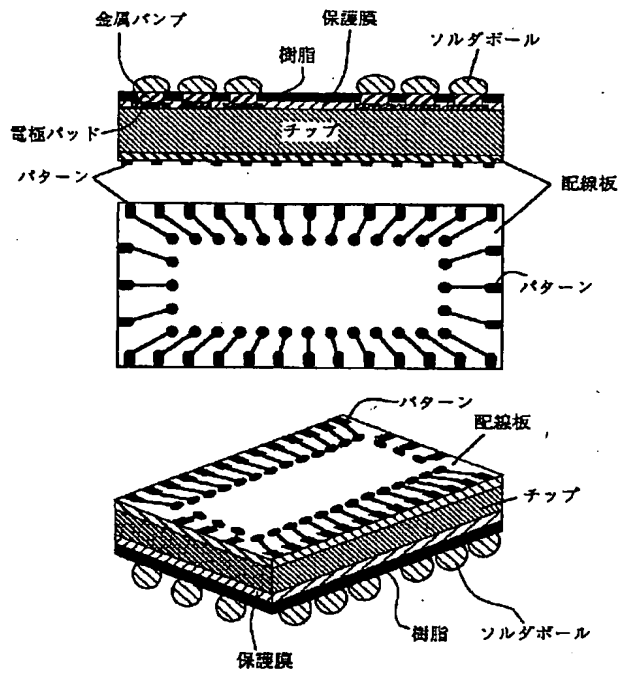
【图 13】

13



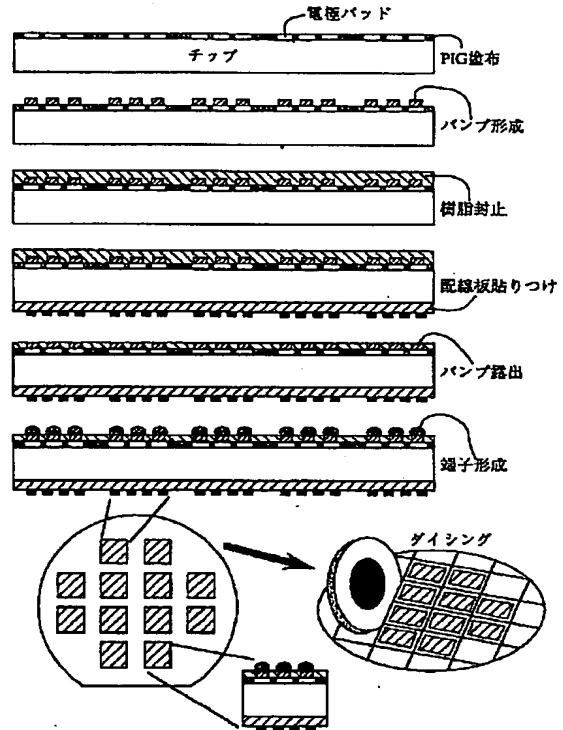
【図3】

図 3



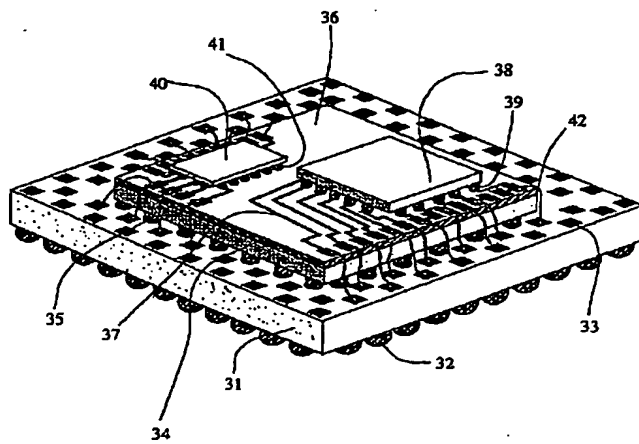
【図4】

図 4



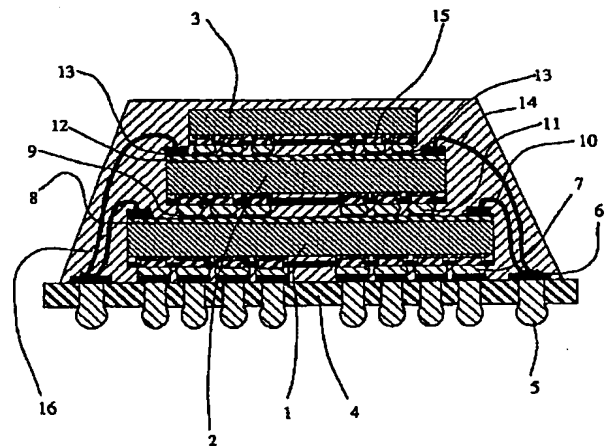
【図5】

図 5



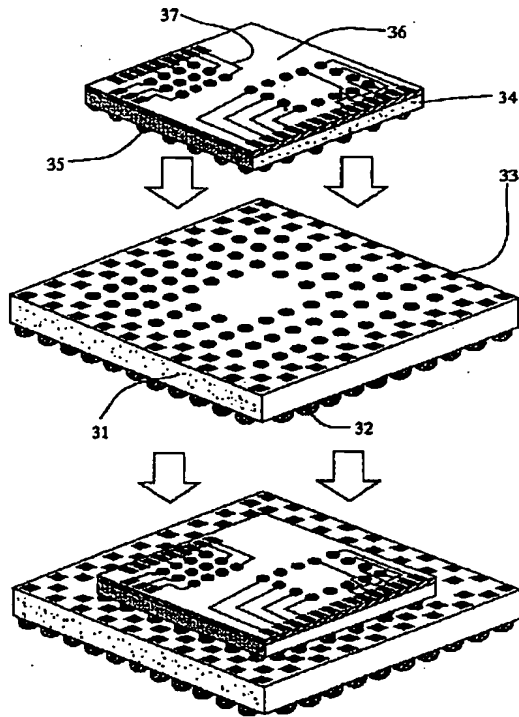
【図8】

図 8



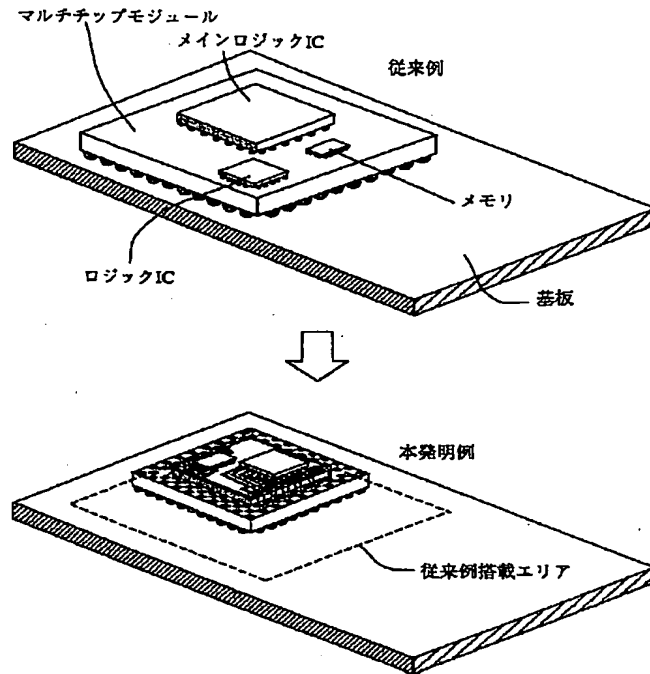
【図6】

図 6



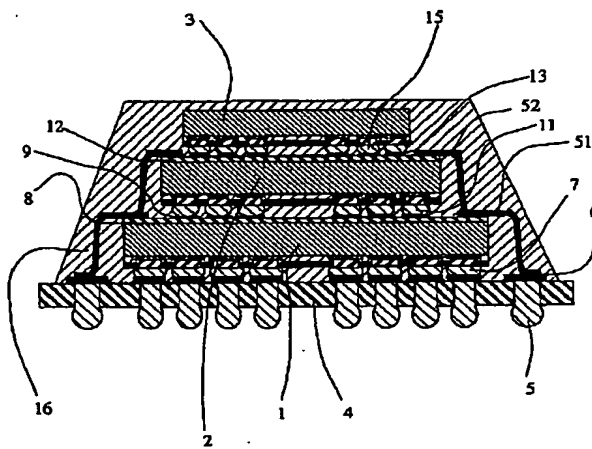
【図7】

図 7



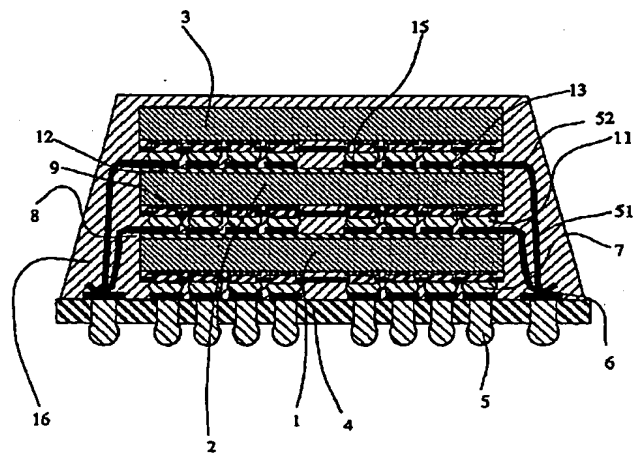
【図9】

図 9

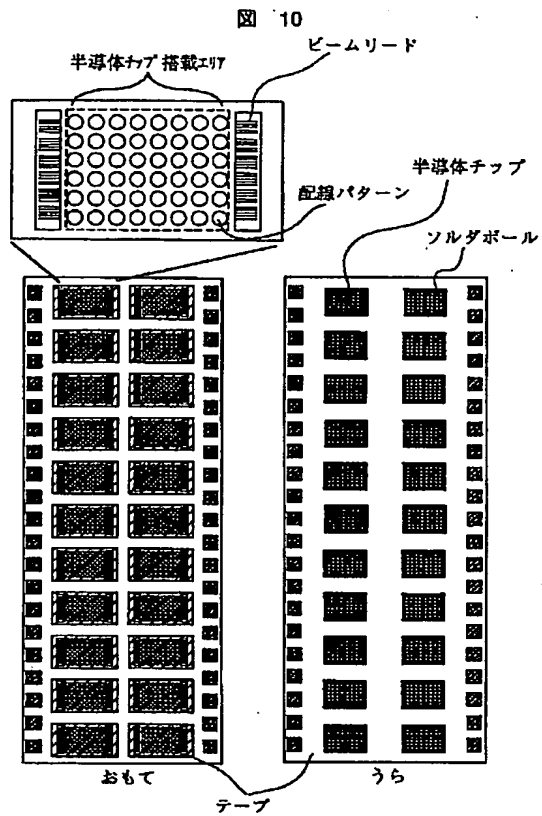


【図11】

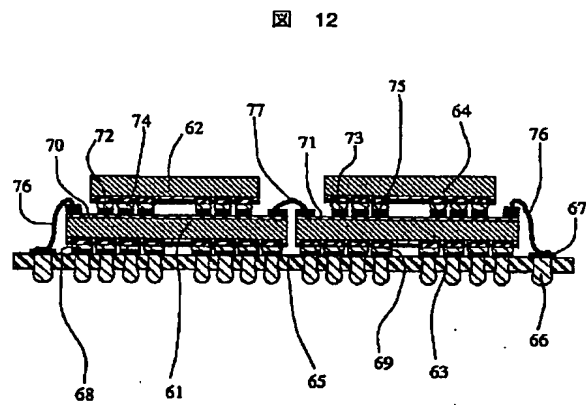
図 11



【図10】

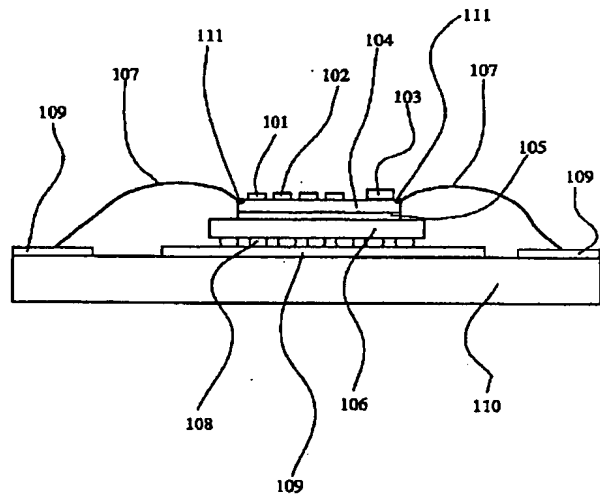


【図12】



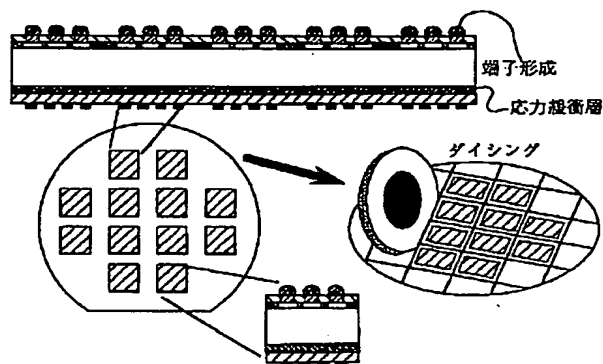
【図15】

図 15



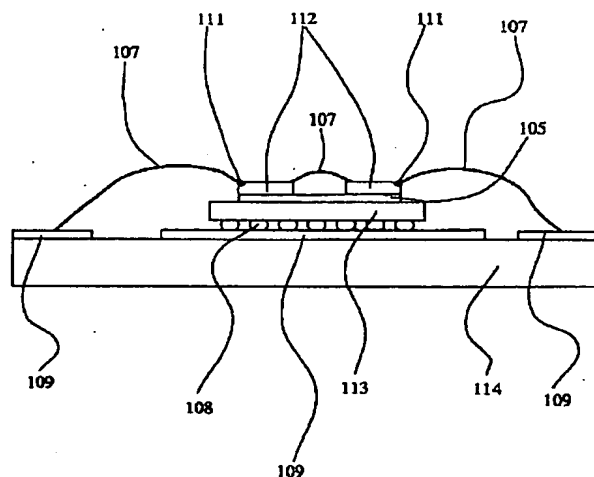
【図14】

図 14



【図 16】

図 16



フロントページの続き

(72)発明者 梶原 良一
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 小泉 正博
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 高橋 和弥
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 西村 朝雄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 宮崎 忠一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 秋山 雪治
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 下石 智明
東京都小平市上水本町五丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内